

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 4 月 1 5 日
Date of Application:

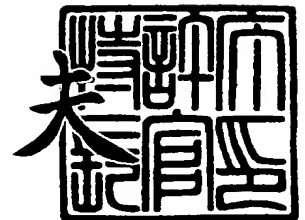
出 願 番 号 特 願 2 0 0 3 - 1 1 0 2 5 4
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 1 1 0 2 5 4]

出 願 人 株式会社東芝
Applicant(s):

2 0 0 4 年 1 月 2 7 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 APB0250241

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/027
G03F 1/08

【発明の名称】 パターン作成方法、パターン作成システム、および半導体装置の製造方法

【請求項の数】 10

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝
横浜事業所内

【氏名】 中野 亜矢子

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝
横浜事業所内

【氏名】 小谷 敏也

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100083161

【弁理士】

【氏名又は名称】 外川 英明

【電話番号】 (03)3457-2512

【手数料の表示】

【予納台帳番号】 010261

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1



【物件名】	図面 1
【物件名】	要約書 1
【プルーフの要否】	要

【書類名】 明細書

【発明の名称】 パターン作成方法、パターン作成システム、および半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 所定のデザインルールに従って作成した複数の露光マスクを使用して半導体装置を製造するためのパターン作成方法において、
第 1 の露光マスクに配置される配線パターンから第 1 のターゲットパターンを抽出する第 1 の工程と、
第 2 の露光マスクに配置される配線パターンから前記第 1 のターゲットパターンと近接して配置される第 2 のターゲットパターンを抽出する第 2 の工程と、
前記第 1 および第 2 のターゲットパターンをそれぞれ半導体基板に転写するに際し、前記第 1 および第 2 のターゲットパターンが、露光量と焦点距離の変動に対するプロセス裕度の基準値を満たすか否かを判定する第 3 の工程と、
前記基準値を満たさない場合に、前記基準値を満たすように前記第 1 および第 2 のターゲットパターンのいずれか一方、または両方のターゲットパターンを補正する第 4 の工程と、
を有することを特徴とするパターン作成方法。

【請求項 2】 前記第 4 の工程において、補正後の第 1 および第 2 のターゲットパターンが前記デザインルールを満たすように、前記第 1 および第 2 のターゲットパターンを補正することを特徴とする請求項 1 記載のパターン作成方法。

【請求項 3】 前記第 4 の工程においては、前記第 1 の露光マスクの配線パターンのエッジと前記第 2 の露光マスクの配線パターンのエッジの距離を移動させることにより補正することを特徴とする請求項 1 記載のパターン作成方法。

【請求項 4】 前記エッジの移動は、前記エッジの距離が予め定められた最小幅を満たしているエッジを移動させることを特徴とする請求項 3 記載のパターン作成方法。

【請求項 5】 前記予め定めたルールは、シミュレーションまたは実験により定められることを特徴とする請求項 1 または請求項 2 のいずれか 1 項に記載のパターン作成方法。

【請求項 6】 前記第 2 の工程において、前記第 2 のターゲットパターンが前記第 1 の露光マスクを除く複数の露光マスクのいずれか 1 つの露光マスクに配置されている配線パターン、または複数の露光マスクに跨って配置されている配線パターンを含むことを特徴とする請求項 1 乃至請求項 5 のいずれか 1 項に記載のパターン作成方法。

【請求項 7】 前記第 1 のターゲットパターンが、コンタクト層、ビア層、メタル層、素子分離層、イオン注入層、またはゲート層の内のいずれかの層からなり、前記第 2 のターゲットパターンがコンタクト層、ビア層、メタル層、素子分離層、イオン注入層、またはゲート層の内から、前記第 1 のターゲットパターンとは異なるいずれかの層、または複数の層からなることを特徴とする請求項 1 乃至請求項 6 のいずれか 1 項に記載のパターン作成方法。

【請求項 8】 前記第 1 または第 2 の露光マスクに配置され、前記補正された第 1 または第 2 のターゲットパターンとは別の第 1 および第 2 のターゲットパターンを選択して、前記第 1 乃至第 4 の工程を繰り返すことを特徴とする前記請求項 1 乃至請求項 7 のいずれか 1 項に記載のパターン作成方法。

【請求項 9】 所定のデザインルールに従って作成した複数の露光マスクを使用して半導体装置を製造するためのパターン作成システムにおいて、
第 1 の露光マスクに配置される配線パターンから第 1 のターゲットパターンを抽出する手段と、第 2 の露光マスクに配置される配線パターンから前記第 1 のターゲットパターンと近接して配置される第 2 のターゲットパターンを抽出する手段とを有するパターン抽出部と、
前記第 1 および第 2 のターゲットパターンが、露光量と焦点距離の変動に対するプロセス裕度の基準値を満たすか否かを判定する手段を有するパターン判定部と、
前記基準値を満たさない場合に、前記基準値を満たすように前記第 1 および第 2 のターゲットパターンのどちらか一方、または両方のターゲットパターンを変更する手段を有するパターン変更部と、
を具備することを特徴とするパターン形成システム。

【請求項 10】 所定のデザインルールに従って作成した複数の露光マスクを使

用して製造する半導体装置の製造方法において、
第 1 の露光マスクに配置される配線パターンから第 1 のターゲットパターンを抽出する第 1 工程と、
第 2 の露光マスクに配置される配線パターンから前記第 1 のターゲットパターンに近接して配置される第 2 のターゲットパターンを抽出する第 2 工程と、
前記第 1 および第 2 のターゲットパターンが、露光量と焦点距離の変動に対するプロセス裕度の基準値を満たすか否かを判定する第 3 工程と、
前記基準値を満たさない場合に、前記基準値を満たすように前記第 1 および第 2 のターゲットパターンのどちらか一方、または両方を変更する第 4 工程と、
前記変更された配線パターンに基づいて露光マスクを製作する第 5 工程と、
前記露光マスクを用いたリソグラフィー工程を含む所定の半導体製造工程により半導体装置を製造する第 6 工程と、
を有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、マクスパターンに係わり、特に十分なプロセス裕度を有するパターンを形成するのに好適なパターン作成方法、該パターン作成システム、および該方法を用いた半導体装置の製造方法に関する。

【0 0 0 2】

【従来の技術】

近年、半導体装置の高集積化、高速化に伴い半導体集積回路のパターン形成に対する要求は非常に厳しいものがある。

【0 0 0 3】

半導体集積回路において、設計製造が可能な最小の線幅を示すデザインルールは微細加工技術の向上と共に縮小され、1 0 0 n m 以下の線幅を有する半導体集積回路が製造されている。

【0 0 0 4】

このデザインルールを満たす範囲であれば、設計者は自由に回路パターンを設

計して配置することができる。

【0005】

半導体集積回路は、半導体基板に形成された各種の膜材料をリソグラフィー技術によって形成したレジストパターンを用いて加工することを繰り返して製造される。このため、各露光マスクのパターン寸法や異なる露光マスク間の相対パターン寸法には一定の規則（パターンルール）が必要である。

【0006】

例えば、半導体集積回路のレイアウトを設計する際のパターン配置の規則として、最小加工寸法、加工前後の寸法変化（加工変換差）、異なる露光マスクを重ねる時の合わせ精度などの規定が設けられる。

【0007】

しかし、回路パターンが微細になるにつれて、半導体装置のリソグラフィー工程で、露光マスク上に形成されたパターンを半導体基板に転写する際に、光近接効果（OPE: Optical Proximity Effect）により回路の設計寸法と実際に半導体基板に転写された寸法とのずれが無視できなくなり、半導体装置の特性に影響を与えるようになってきた。

【0008】

例えば、デザインルールを満たすパターンであっても、パターン中の鋭利な部分は転写されずに角がとれて丸くなり、あるいはラインパターンの疎密分布によりライン寸法が変化してしまうことがある。

【0009】

このずれを減ずる方法として、光学シミュレーションにより露光マスク上のパターン寸法を、例えば、部分的にパターン幅を太くしたり、あるいはダミーパターンを配したりして、補正する方法（OPC: Optical Proximity Correction）が知られている。

【0010】

しかしながら、このOPCは半導体基板に形成されるパターンが設計パターン寸法通りになるように露光マスク上のパターン寸法を補正するものであり、リソグラフィー工程でのプロセスマージンを増加させるものではない。

【0011】

従って、パターンを半導体基板に転写する際に、露光パラメータ、例えば、露光量や焦点距離が適正值から変動しても、そのパターンが半導体装置の特性上問題にならない寸法で形成される許容範囲を示すプロセス裕度が基準値に満たないパターンに対しては効果がない。

【0012】

この問題を解決するパターン作成方法が知られている（例えば、特許文献1参照。）。

【0013】

この特許文献1に開示されたパターン作成方法について、図12および図13を用いて説明する。図12はこのパターン作成方法の全体構成を示すフローチャート、図13（a）は配線パターンの補正前の状態を示すレイアウト図、図13（b）は図13（a）に示した配線パターンに対して露光量および焦点距離の条件を振ったときの最大ライン寸法および最小ライン寸法の転写パターンを示すレイアウト図、図13（c）は図13（a）に示した配線パターンの補正後の状態を示すレイアウト図である。

【0014】

図12および図13に示すように、この配線パターンはラインとスペースで構成されており、露光マスク101上に、ライン寸法L1の配線パターン102と、スペース寸法S1を隔てたライン寸法L2の配線パターン103と、スペース寸法S2を隔てたライン寸法L3の配線パターン104が平行に配置されている。

【0015】

初めに、この設計パターンデータをデータ記録装置から読み込み、ラインとスペースの関係から得られるプロセス裕度が基準値に達していない配線パターンを設計パターンから抽出する。

【0016】

即ち、露光量と焦点距離を所定量振ったりソグラフィー・シミュレーションをおこない、配線パターン102のライン寸法L1の変動量 $\delta 1$ 、配線パターン1

03のライン寸法L2の変動量 $\delta 2$ 、および配線パターン104のライン寸法L3の変動量 $\delta 3$ を求める。

【0017】

特許文献では、 $\delta 1$ より $\delta 2$ 、 $\delta 3$ が大きく、配線パターン103、104のプロセス裕度が基準値を満たしていないと判定されるものとしている（ステップS101）。

【0018】

次に、プロセス裕度が基準値を満たすように、配線パターン103の両側のエッジ103a、103bを移動してライン寸法L2をL2'に拡げ、配線パターン104の片側のエッジ104aを移動してライン寸法L3をL3'に拡げて、配線パターンを補正している（ステップS102）。

【0019】

そして、配線パターンを補正した後、配線パターンのピッチが一定に保持されているか否かのチェックがおこなわれる（ステップS103）。

【0020】

配線パターンのピッチが一定に保持されていない場合は、ステップS102に戻り、補正前後で配線パターンのピッチが一定に保持されるように、ライン寸法の補正量に応じてスペース寸法S1をS1'に狭め、スペース寸法S2をS2'に狭めて、再度パターンの補正がおこなわれる。

【0021】

次に、補正後の配線パターンの配線容量が許容範囲に収まっているか否かを判定する。配線パターンのプロセス裕度を補正する場合、ライン寸法を拡げることでも多層配線においては、上層あるいは下層の配線間で生じる寄生容量（配線容量）が許容値を超えてしまうことが考えられるためである（ステップS104）。

【0022】

配線容量が許容範囲に収まっていない場合は、ステップS102に戻り、配線容量が許容範囲に収まるように再度パターンを補正する。

【0023】

配線容量が許容範囲に収まっている場合は、補正後の配線パターンがデザイン

ルールを満たしているか否かを判定する。即ち、補正後の配線パターンのライン寸法およびスペース寸法がデザインルールで規定する最小ライン寸法および最小スペース寸法以上であるかを判定する（ステップ S105）。

【0024】

補正後の配線パターンがデザインルールを満たしていない場合は、ステップ S102に戻り、デザインルールを満たすように再度パターンを補正する。

【0025】

補正後の配線パターンがデザインルールを満たしている場合は、補正後の配線パターンの必要な箇所に対して近接効果補正（OPC）をおこなう（ステップ S106）。

【0026】

最後に、補正された設計パターンデータに基づいて露光マスクを作成している（ステップ S107）。

【0027】

また、別の実施の形態では、コンタクトホールパターンと隣接するコンタクトホールパターン間のスペースとの関係に着目し、そのコンタクトホールパターンのプロセス裕度が基準値を満たさないパターンを抽出して、それがプロセス裕度を満たすように補正する方法を開示している。

【0028】

以上説明したように、特許文献 1 に開示されたパターンの作成方法は、同一の露光マスク上に配置される配線パターン（ラインパターン）あるいはコンタクトホールパターンのように同一露光マスク中のパターンのプロセス裕度を改善するものである。

【0029】

従って、半導体基板へのパターン転写の高精度化が要求され、高集積化される半導体装置の製造にはさらなる技術の開発が必要であった。

【0030】

【特許文献 1】

特開 2002-131882 号公報（5-8 頁、図 2）

【 0 0 3 1 】**【発明が解決しようとする課題】**

上述のパターン作成方法では、複数の露光マスクに跨って配置される配線パターン間のプロセス裕度の向上には適用できない問題がある。

【 0 0 3 2 】

本発明は、上記問題点を解決するためになされたもので、複数の露光マスクに跨って配置される配線パターン間のプロセス裕度を向上させることができるパターン作成方法、該パターン作成システム、および該方法を用いた半導体装置の製造方法を提供することを目的とする。

【 0 0 3 3 】**【課題を解決するための手段】**

上記目的を達成するために、本発明の一態様のパターン作成方法では、所定のデザインルールに従って作成した複数の露光マスクを使用して半導体装置を製造するためのパターン作成方法において、第 1 の露光マスクに配置される配線パターンから第 1 のターゲットパターンを抽出する第 1 の工程と、第 2 の露光マスクに配置される配線パターンから前記第 1 のターゲットパターンと近接して配置される第 2 のターゲットパターンを抽出する第 2 の工程と、前記第 1 および第 2 のターゲットパターンをそれぞれ半導体基板に転写するに際し、前記第 1 および第 2 のターゲットパターンが、露光量と焦点距離の変動に対するプロセス裕度の基準値を満たすか否かを判定する第 3 の工程と、前記基準値を満たさない場合に、前記基準値を満たすように前記第 1 および第 2 のターゲットパターンのいずれか一方、または両方のターゲットパターンを補正する第 4 の工程とを有することを特徴としている。

【 0 0 3 4 】

また、本発明の一態様のパターン作成システムでは、所定のデザインルールに従って作成した複数の露光マスクを使用して半導体装置を製造するためのパターン作成システムにおいて、第 1 の露光マスクに配置される配線パターンから第 1 のターゲットパターンを抽出する手段と、第 2 の露光マスクに配置される配線パターンから前記第 1 のターゲットパターンと近接して配置される第 2 のターゲッ

トパターンを抽出する手段とを有するパターン抽出部と、前記第1および第2のターゲットパターンが、露光量と焦点距離の変動に対するプロセス裕度の基準値を満たすか否かを判定する手段を有するパターン判定部と、前記基準値を満たさない場合に、前記基準値を満たすように前記第1および第2のターゲットパターンのどちらか一方、または両方のターゲットパターンを変更する手段を有するパターン変更部とを具備することを特徴としている。

【0035】

更に、本発明の一態様の半導体装置の製造方法では、所定のデザインルールに従って作成した複数の露光マスクを使用して製造する半導体装置の製造方法において、第1の露光マスクに配置される配線パターンから第1のターゲットパターンを抽出する第1工程と、第2の露光マスクに配置される配線パターンから前記第1のターゲットパターンに近接して配置される第2のターゲットパターンを抽出する第2工程と、前記第1および第2のターゲットパターンが、露光量と焦点距離の変動に対するプロセス裕度の基準値を満たすか否かを判定する第3工程と、前記基準値を満たさない場合に、前記基準値を満たすように前記第1および第2のターゲットパターンのどちらか一方、または両方を変更する第4工程と、前記変更されたパターンに基づいて露光マスクを製作する第5工程と、前記露光マスクを用いたリソグラフィー工程を含む所定の半導体製造工程により半導体装置を製造する第6工程とを有することを特徴としている。

【0036】

【発明の実施の形態】

以下、本発明の実施の形態に係わるパターン作成方法について、図面を参照しながら説明する。

【0037】

（第1の実施の形態）

図1は、本発明の第1の実施の形態に係わるパターン作成方法で、半導体装置の設計パターンデータから露光マスク描画データが作成されるまでの工程を示すフローチャートである。

【0038】

図 1 に示すように、まず、所定のデザインルールに従って半導体基板に形成される半導体装置のレイアウトパターンの設計データが設計パターンデータ記録装置から入手され（ステップ S 0 1）、その設計データから、任意の配線パターンが選出される。この選出された配線パターンは、複数の露光マクスにそれぞれ配置されるパターンデータから構成されている。

【0039】

始めに、第 1 の露光マクスに配置されるパターンの中から、プロセス裕度がチェックされる第 1 のターゲットパターンが抽出される（ステップ S 0 2）。

【0040】

次に、第 1 のターゲットパターンに近接して第 2 の露光マスクに配置される第 2 のターゲットパターンが抽出される（ステップ S 0 3）。

【0041】

そして、第 1 および第 2 のターゲットパターンがウェーハ上に転写される際に、露光パラメータの条件変動により生じるパターンの変動量に対してプロセス裕度を求める（ステップ S 0 4）。

【0042】

このプロセス裕度とは、例えば、リソグラフィー・シミュレーションにより露光量や焦点距離を所定範囲内で振ったときの最大パターン寸法と最小パターン寸法との差から求まるものである。

【0043】

次に、ステップ S 0 5 において、このプロセス裕度が予め与えられた基準値を満たすか否かが判定され、基準値を満たしていない場合には、パターンを補正する必要がある、ステップ S 0 6 へ進み、基準値を満たしている場合には、パターンを補正する必要がないので、ステップ S 1 0 へジャンプする。

【0044】

次に、プロセス裕度が基準値を満たしていない場合には、第 1 のターゲットパターンと第 2 のターゲットパターン間の距離が求められ（ステップ S 0 6）、その距離が最小デザインルールより大きいかがさらに判定される（ステップ S 0 7）。

【0045】

ここでの最小デザインルールとは、ターゲットパターンが存在する半導体装置のデザインルールのうち、ターゲットパターンの存在するレイヤー中のデザインルールの最小値のことを言う。

【0046】

そして、この距離が最小デザインルールより大きい場合には、プロセス裕度が基準値より広がるようにパターンエッジを移動させて補正された新しいパターンを形成し（ステップS08）、一方、最小デザインルールより小さい場合には、予めリソグラフィー・シミュレーション、あるいは、実験によりデバイス特性に影響を及ぼさない範囲でパターンを補正するためのルールを作成し、その所定ルールに従いパターンエッジが補正される（ステップS09）。

【0047】

いずれの場合においても最後に、パターンの近接効果補正（OPC）が施され（ステップS10）、露光マスク描画データが作成される（ステップS11）。

【0048】

さらに、上述したパターン形成工程は、設計データにある全ての配線パターンに対して繰り返され、最終的に露光マスクに描画される露光マスクデータとなる。

【0049】

次に、上述のパターン作成方法により配線パターンを補正し、プロセス裕度を改善する場合について、具体的に説明する。

【0050】

図2は、半導体装置のリソグラフィー工程で用いられる露光マスクを示す図で、図2（a）は、3数の露光マスクにそれぞれ形成される配線パターンの要部を示す外観図、図2（b）は、図2（a）の露光マスクを重ねて得られる配線パターンで、イオン注入による拡散層と、ゲート配線と、コンタクトホールが近接して配置されたパターンの例である。

【0051】

図2（a）に示すように、第1の露光マスク11にイオン注入による拡散層を

形成するためのイオン注入層パターン 12 と、第 2 の露光マスク 13 にゲート配線を形成するためのゲート配線パターン 14 と、および第 3 の露光マスク 15 にコンタクトホールを形成するためのコンタクトホールパターン 16 がそれぞれ形成されている。

【0052】

即ち、リソグラフィ技術により、第 1 の露光マスク 11 を用いて、レジスト膜を形成した半導体基板の所定領域にイオン注入層パターン 12 が開口されてイオン注入および活性化処理がなされ、次に、半導体基板に絶縁膜およびゲート配線膜を形成した後、第 2 の露光マスク 13 を用いてゲート配線膜にゲート配線パターン 14 が加工され、更に、第 3 の露光マスク 15 を用いて絶縁膜にコンタクトホールパターン 16 が開口される。

【0053】

ここで、図 2 (b) に示すように、第 1 の露光マスク 11 のコンタクトホールパターン 16 の各エッジ 16 a、16 b、16 c、16 d と、それぞれに近接して対向配置される第 2 の露光マスク 13 のゲート配線パターン 14 の各エッジ 14 a、14 b、および第 3 の露光マスク 15 のイオン注入パターン 12 の各エッジ 12 a、12 b、12 c、12 d とから構成される配線パターンにおいて、コンタクトホールパターン 16 のエッジ 16 a とゲート配線パターン 14 のエッジ 14 a の距離を L1、同じくエッジ 16 b とエッジ 12 b の距離を L2、同じくエッジ 16 c とエッジ 12 c の距離を L3、同じくエッジ 16 d とエッジ 12 d の距離を L4 とする。

【0054】

図 1 に示したフローチャートに従い、第 3 の露光マスク 15 のコンタクトホールパターン 16 がリソグラフィ工程でプロセス裕度が基準値より少ないと判断された場合には、露光マスク間の設計パターン距離 (L1、L2、L3、L4) が求められ、その結果に基づいてプロセス裕度が大きくなるように新しい配線パターンを形成するための補正処理が行われる。

【0055】

図 3 は配線パターンの変更ルールを説明するための図で、例えば、図 3 (a)

に示すように、 L_1 、 L_2 、 L_3 、 L_4 が全て最小デザインルール (L_{min}) より大きい場合には、コンタクトホールパターン16の各エッジ16a、16b、16c、16dをそれぞれエッジ12a、12b、12c、12dの方向へ移動してコンタクトホールパターン16の寸法を大きくして、プロセス裕度を基準値より大きくする。

【0056】

また、図3(b)に示すように、コンタクトホールパターン16のエッジ16aとゲート配線パターン14のエッジ14aの距離 L_1 が L_{min} である場合には、エッジ16aを固定し、他のエッジ16b、16c、16dをそれぞれエッジ12b、12c、12dの方向へ移動してコンタクトホールパターン16の寸法を大きくすることにより、プロセス裕度を基準値より大きくする。

【0057】

更に、図3(c)に示すように、コンタクトホールパターン16のエッジ16cとイオン注入パターン12のエッジ12cとの距離 L_3 が L_{min} である場合には、エッジ16cを固定し、他のエッジ16a、16b、16dをそれぞれエッジ12a、12b、12dの方向へ移動してコンタクトホールパターン16の寸法を大きくすることにより、プロセス裕度を基準値より大きくする。

【0058】

更に、また、コンタクトホールパターン16のエッジ16bとイオン注入パターン12のエッジ12bとの距離 L_2 やコンタクトホールパターン16のエッジ16dとイオン注入パターン12のエッジ12dとの距離 L_4 、あるいは複数の L が L_{min} である場合には、同様に他の L が L_{min} より大きなエッジを移動してコンタクトホールパターン16の寸法を大きくして、プロセス裕度を基準値より大きくする。

【0059】

ここで、各エッジの移動量は各距離 L_1 、 L_2 、 L_3 、 L_4 が最小デザインルールに等しくなるところを上限として、シミュレーションまた実験により状況に応じて定めている。

【0060】

以上説明したように、本発明の第 1 の実施の形態に係わるパターン作成方法では、複数の露光マスクに跨がり、且つ、近接して配置される配線パターンを抽出して、その配線パターン間の距離に応じたパターンの補正を行うことにより、配線パターン間のプロセス裕度が向上する。従って、半導体基板への配線パターンの転写精度が向上し、半導体装置の製造が容易になる。

【0 0 6 1】

なお、上述の実施の形態では、第 1 の露光マスク 1 1 にイオン注入層パターン 1 2 と、第 2 の露光マスク 1 3 にゲート配線パターン 1 4 と、および第 3 の露光マスク 1 5 にコンタクトホールパターン 1 6 がそれぞれ形成されている場合について説明したが、パターンをビア層、メタル層、素子分離層、ゲート層等としても構わない。以下に、これらの変形例を説明する。

【0 0 6 2】

(第 1 の実施の形態の変形例 1)

図 4 は本発明の第 1 の実施の形態の変形例 1 を示す配線パターンである。本変形例が第 1 の実施の形態と異なる点は、メタル配線ラインにビアホールが形成される配線パターンとしたことにあり、第 2 の露光マスク 1 3 にメタル配線パターン 2 4、および第 3 の露光マスク 1 5 にビアホールパターン 2 6 が形成されている。なお、本変形例においては、第 1 の実施の形態に対応させて配線パターンが設けられる露光マスクを第 2 の露光マスク、またホールパターンが形成される露光マスクを第 3 の露光マスクと呼称しているが、3 枚の露光マスクが存在するのではなく、2 枚の露光マスクからなる。

【0 0 6 3】

即ち、図 4 に示すように、リソグラフィ技術により、メタル配線膜を形成した半導体基板の所定領域に第 2 の露光マスク 1 3 を用いてメタル配線パターン 2 4 が加工され、第 3 の露光マスク 1 5 を用いてメタル配線にビアホールパターン 2 6 が開口される。

【0 0 6 4】

ここで、第 2 の露光マスク 1 3 のメタル配線パターン 2 4 の各エッジ 2 4 a、2 4 b、2 4 c、2 4 d と、第 3 の露光マスク 1 5 のビアホールパターン 2 6 の

各エッジ 26 a、26 b、26 c、26 d とから構成される配線パターンにおいて、エッジ 24 a とエッジ 26 a の距離を L_1 、エッジ 24 b とエッジ 26 b の距離を L_2 、エッジ 24 c とエッジ 26 c の距離を L_3 、エッジ 24 d とエッジ 26 d の距離を L_4 とする。

【0065】

図 1 に示したフローチャートに従って、第 3 の露光マスク 15 のビアホールパターン 26 がリソグラフィー工程でプロセス裕度が基準値より少ないと判断されると、第 2 露光マスク 13 と第 3 の露光マスク 15 間の設計パターン距離 (L_1 、 L_2 、 L_3 、 L_4) が求められ、その結果に基づいてプロセス裕度が基準値より大きくなるように新しいパターンを形成するための補正処理が行われる。

【0066】

例えば、メタル配線パターン 24 のエッジ 24 b とビアホールパターン 26 のエッジ 26 b との距離 L_2 およびメタル配線パターン 24 のエッジ 24 d とビアホールパターン 26 のエッジ 26 d との距離 L_4 がともに L_{min} である場合には、エッジ 26 b とエッジ 26 d を固定し、他のエッジ 26 a、26 c をそれぞれエッジ 24 a、24 c の方向に移動してビアホールパターン 26 の寸法を大きくして、プロセス裕度を基準値より大きくする。

【0067】

以上説明したように、上述の変形例 1 では、複数の露光マスクに跨がり、且つ、近接して配置されるメタル配線とビアホールから構成される配線パターンを抽出して、その配線パターン間の距離に応じたパターンの補正を行うことにより、配線パターン間のプロセス裕度が向上する。従って、半導体基板への配線パターンの転写精度が向上し、半導体装置の製造が容易になる。

【0068】

なお、ここでは、 L_2 、 L_4 が L_{min} の場合にエッジ 26 a、26 c を補正する場合について説明したが、補正の対象となるエッジは、上述した場合に限定されるものではなく、各エッジ間の距離 L_1 、 L_2 、 L_3 、 L_4 が最小デザインルール L_{min} より大きい条件を満たす範囲で移動するエッジを種々選択しても構わない。

【 0 0 6 9 】

(第 1 の実施の形態の変形例 2)

図 5 は、本発明の第 1 の実施の形態の変形例 2 を示す配線パターンである。本変形例が第 1 の実施の形態と異なる点は、2 つのゲート配線ラインに挟まれてコンタクトホールが形成されるパターンとしたことにあり、第 2 の露光マスク 1 3 に 2 つのゲート配線パターン 3 4、3 8 が、第 3 の露光マスク 1 5 にコンタクトホールパターン 3 6 が形成されている。なお、本変形例においては、第 1 の実施の形態に対応させてゲート配線パターンが設けられる露光マスクを第 2 の露光マスク、またコンタクトホールが形成される露光マスクを第 3 の露光マスクと呼称しているが、3 枚の露光マスクが存在するのではなく、2 枚の露光マスクからなる。

【 0 0 7 0 】

即ち、図 5 に示すように、リソグラフィ技術により、ゲート配線膜を形成した半導体基板の所定領域に第 2 の露光マスク 1 3 を用いて 2 つのゲート配線パターン 3 4、3 8 が加工され、次に、第 3 の露光マスク 1 5 を用いて 2 つのゲート配線ラインに挟まれたコンタクトホールパターン 3 6 が開口される。

【 0 0 7 1 】

ここで、第 2 の露光マスク 1 3 のゲート配線パターン 3 4、3 8 の各エッジ 3 4 a、3 8 a と第 3 の露光マスク 1 5 のコンタクトホールパターン 3 6 の各エッジ 3 6 a、3 6 b、3 6 c、3 6 d とから構成される配線パターンにおいて、エッジ 3 4 a とエッジ 3 6 a の距離を L 1、エッジ 3 8 a とエッジ 3 6 c の距離を L 2 とする。

【 0 0 7 2 】

図 1 に示したフローチャートに従って、第 3 露光マスク 1 5 のコンタクトホールパターン 3 6 が露光工程でプロセス裕度が基準値より少ないと判断された場合には、露光マスク間の設計パターン距離 (L 1、L 2) が求められ、その結果に基づいてプロセス裕度が基準値より広がるように新しいパターンを形成するための補正処理が行われる。

【 0 0 7 3 】

例えば、ゲート配線パターン 34 のエッジ 34a とコンタクトホールパターン 36 のエッジ 36a の距離 L_1 およびゲート配線パターン 38 のエッジ 38a とコンタクトホールパターン 36 のエッジ 36c の距離 L_2 が L_{min} である場合には、エッジ 36a、36c を固定して、他のエッジ 36b、36d をエッジ 34a、38a と平行な方向へ移動させてコンタクトホールパターン 36 の寸法を大きくして、プロセス裕度を基準値より大きくする。

【0074】

以上説明したように、上述の変形例 2 では、複数の露光マクスに跨がり、且つ、近接して配置される 2 つのゲート配線ラインと、その間に挟まれたコンタクトホールから構成される配線パターンを抽出して、その配線パターン間の距離に応じたパターンの補正を行うことにより、配線パターン間のプロセス裕度が向上する。従って、半導体基板への配線パターンの転写精度が向上し、半導体装置の製造が容易になる。

【0075】

(第 1 の実施の形態の変形例 3)

図 6 は、本発明の第 1 の実施の形態の変形例 3 を示す配線パターンで、図 6 (a) は配線パターンの補正前の状態を示すレイアウト図、図 6 (b) は図 6 (a) に示した配線パターンの補正後の状態を示すレイアウト図である。

【0076】

本変形例が第 1 の実施の形態と異なる点は、近接して配置された 2 つのイオン注入拡散層にそれぞれコンタクトホールが形成されるパターンとしたことである。

【0077】

即ち、第 1 の露光マスク 11 に 2 つのイオン注入拡散層パターン 41、42 が配置され、第 3 の露光マスク 15 に 2 つのコンタクトホールパターン 46、47 が配置されている。なお、本変形例においては、第 1 の実施の形態に対応させて拡散層パターンが設けられる露光マスクを第 1 の露光マスク、またコンタクトホールパターンが形成される露光マスクを第 3 の露光マスクと呼称しているが、3 枚の露光マスクが存在するのではなく、2 枚の露光マスクからなる。

【0078】

図6 (a) に示すように、リソグラフィー技術により、レジスト膜を形成した半導体基板の所定領域に、第1の露光マスク11を用いて2つのイオン注入パターン41、42が開口した後、イオン注入および活性化処理がなされ、次に、半導体基板に絶縁膜を形成した後、第3の露光マスク15を用いて絶縁膜に2つのコンタクトホールパターン46、47が開口される。

【0079】

ここで、イオン注入パターン41の各エッジ41a、41b、41c、41dと、イオン注入パターン42の各エッジ42a、42b、42c、42d、およびコンタクトホールパターン46の各エッジ46a、46b、46c、46dと、コンタクトホールパターン47の各エッジ47a、47b、47c、47dとから構成される配線パターンにおいて、エッジ41cとエッジ46cの距離をL1、エッジ42aとエッジ47aの距離をL2、エッジ41cとエッジ42aの距離をL3とする。

【0080】

図1に示したフローチャートに従って、第1の露光マスク11の2つのイオン注入パターン41、42がリソグラフィー工程でプロセス裕度が基準値より少ないと判断された場合には、露光マスク間の設計パターン距離(L1、L2、L3)が求められ、その結果に基づいてプロセス裕度が基準値より広がるように新しいパターンを形成するための補正処理が行われる。

【0081】

例えば、図6 (b) に示すように、イオン注入パターン41のエッジ41cとコンタクトホールパターン46のエッジ46cの距離L1およびイオン注入パターン42のエッジ42aとコンタクトホールパターン47のエッジ47aの距離L2がLminである場合には、エッジ41cとエッジ42aの一部をイオン注入パターン41、42の内側に移動させて、エッジ41cとエッジ42aの距離をL3からL4に広げて、プロセス裕度を基準値より大きくする。

【0082】

ここで、エッジ41c、42aの移動量は、シミュレーションまたは実験によ

り定められ、パターン 41、42 とパターン 46、47 の最小デザインルールを維持するために、エッジ 46b とエッジ 41e の距離 L_5 およびエッジ 47b とエッジ 42e の距離 L_6 は L_{min} より大きく設定される。

【0083】

以上説明したように、上述の変形例 3 では、複数の露光マクスに跨がり、且つ、近接して配置される 2 つのイオン注入拡散層とコンタクトホールから構成される配線パターンを抽出して、その配線パターン間の距離に応じたイオン注入パターンの補正を行うことにより、配線パターン間のプロセス裕度が向上する。従って、半導体基板への配線パターンの転写精度が向上し、半導体装置の製造が容易になる。

【0084】

(第 2 の実施の形態)

図 7 および図 8 は、本発明の第 2 の実施の形態に係わるパターン作成方法で、設計パターンデータから露光マクス描画データが作成されるまでの工程を示すフローチャートである。本実施の形態において、上記第 1 の実施の形態と同一の構成部分には、同一符号を付してその説明を省略し、異なる部分のみ説明する。

【0085】

本実施の形態が第 1 の実施の形態と異なる点は、第 1 および第 2 の露光マスクに配置される配線パターンが共にプロセス裕度が少ないと判定された場合に、第 1 および第 2 ターゲットパターンの両方のパターンを補正することである。

【0086】

図 7 に示すように、所定のデザインルールに従って、第 1 の露光マクスに配置される設計パターンデータ (GDS1 と称する) を設計パターンデータ記憶装置から入手し (ステップ S21)、続いて、第 2 の露光マクスに配置される設計パターンデータ (GDS3 と称する) を入手する (ステップ S22)。

【0087】

次に、図 1 に示したフローチャートのステップ S04 からステップ S09 と同様にして、GDS1 から任意の配線パターンを選出して、そのプロセス裕度を求め、プロセス裕度が基準値より広がるようにパターンエッジが移動される (ステ

ップS23からステップS28)。

【0088】

次に、この補正された結果を基に、GDS1の新しい露光マスクデータ (GDS2と称する) が作成される (ステップS29)。

【0089】

次に、図1に示したフローチャートのステップS10からステップS11と同様にして、補正後の配線パターンの必要な箇所に対して、OPCパターンを付与して、近接効果補正をおこない、GDS1の露光マスク描画データを得る (ステップS30からステップS31)。

【0090】

次に、図8に示すように、図1に示したフローチャートのステップS04からステップS09と同様にして、GDS3からステップS23で選出されたGDS1のパターンに対応するパターンを選出して、そのプロセス裕度を求め、プロセス裕度が基準値より広がるようにパターンエッジが移動される (ステップS32からステップS37)。

【0091】

ここでの違いは、ステップS29で作成されたGDS2を用いて、GDS2とGDS3のパターン間の距離を求めることである (ステップS34)。

【0092】

次に、この補正された結果を基に、GDS3の新しい露光マスクデータ (GDS4と称する) が作成される (ステップS38)。

【0093】

最後に、図1に示したフローチャートのステップS10からステップS11と同様にして、補正後の配線パターンの必要な箇所に対して、OPCパターンを付与して、近接効果補正をおこない、GDS3の露光マスク描画データを得る (ステップS39からステップS40)。

【0094】

さらに、上述したパターン形成工程は、設計データGDS1、GDS3にある全ての配線パターンに対して繰り返され、最終的に露光マスク描画データとなる

【0095】

次に、上述のパターン作成方法により配線パターンを補正し、プロセス裕度を改善する場合について、具体的に説明する。

【0096】

図9は、2枚の露光マスクを重ね合わせて得られる配線パターンの要部を示す図で、メタル電極とコンタクトホールパターンが同芯相似形に重なって配置されたパターンの例である。

【0097】

図に示すように、第1の露光マスク11にGDS1として、例えばメタル電極パターン51と、第2の露光マスク13にGDS3として、例えばコンタクトホールパターン52がそれぞれ配置されている。

【0098】

即ち、図に示すように、リソグラフィー技術により、半導体基板に金属膜を形成した後、第1の露光マスク11を用いてメタル電極パターン51が形成され、次に、半導体基板に絶縁膜を形成した後、第2の露光マスク13を用いて絶縁膜にコンタクトホールパターン52が開孔される。

【0099】

ここで、メタル電極パターン51のエッジ51aとコンタクトホールパターン52のエッジ52aの距離をL1とする。

【0100】

図7に示したフローチャートに従い、第1露光マスク11のメタル電極パターン51が、リソグラフィー工程でプロセス裕度が基準値より少ないと判断された場合には、メタル電極パターン51の各エッジ51a、51b、51c、51dを $\Delta L1$ だけ外側へ移動して、メタル電極パターン51の寸法を大きくすることにより、プロセス裕度を基準値より大きくする。

【0101】

これにより想像線で示す補正された新しいメタル電極パターン(GDS2)53が得られ、これを基に第1の露光マスク描画データが作成される。

【0102】

同様に、図8に示したフローチャートに従い、第2の露光マスク13のコンタクトホールパターン52がリソグラフィー工程でプロセス裕度が基準値より少ないと判断された場合には、露光マスク間の設計パターン距離 L_1 を求め、その結果に基づいてプロセス裕度が広がるように新しいパターンを形成するための補正処理が行われる。

【0103】

例えば、メタル電極パターン51のエッジ51aとコンタクトホールパターン52のエッジ52aの距離 L_1 が L_{min} である場合には、エッジ52aを移動することは出来ないため、上述した補正された新しいメタル電極パターン（GDS2）53のエッジ53aとコンタクトホールパターン52のエッジ52aとの距離 L_2 を測定して、コンタクトホールパターン52の各エッジ52a、52b、52c、52dを外側に ΔL_2 だけ移動してコンタクトホールパターン52の寸法を大きくすることにより、プロセス裕度を基準値より大きくする。

【0104】

これにより想像線で示す補正された新しいコンタクトホールパターン（GDS4）54が得られ、これを基に第2の露光マスク描画データが作成される。

【0105】

以上説明したように、本発明の第2の実施の形態に係わるパターン作成方法では、2つの露光マスクに跨って形成され、且つ、同芯相似形に配置される配線パターン間の距離に応じたパターンの補正を行うことにより、配線パターン間のプロセス裕度が向上する。従って、半導体基板への配線パターンの転写精度が向上し、半導体装置の製造が容易になる。

【0106】

（第3の実施の形態）

次に、本発明の第3の実施の形態に係わるパターン作成システムについて、図10を用いて説明する。本実施の形態のパターン作成システムは、第1および第2の実施の形態で示したパターン作成方法を実現するためのものである。

【0107】

図 1 0 は、本発明のパターン作成システムの構成を示すブロック図である。

【 0 1 0 8 】

図に示すように、本発明のパターン作成システム 6 1 は、半導体装置のレイアウト設計パターンデータを格納した設計パターンデータ記憶部 6 2 と、露光マスクパターンを補正して新しいパターンを形成するプログラムなどを格納したプログラム格納部 6 3、得られた露光マスク描画データを格納するマスク描画データ記憶部 6 4 と、一連のマスクパターン補正処理を実行するための手段を備えた処理制御部 6 5 と、入出力制御部 6 6 を介して処理結果を出力する出力装置 6 7 と、処理制御部 6 5 への指示等を入力する入力装置 6 8 とで構成されている。

【 0 1 0 9 】

設計パターンデータ記憶部 6 2、プログラム格納部 6 3、および露光マスク描画データ記憶部 6 4 は、一部はコンピュータ内部の主記憶装置で構成しても良いし、このコンピュータに接続された半導体メモリー、磁気ディスク、磁気テープ、光ディスクなどの記憶装置で構成しても構わない。

【 0 1 1 0 】

また、処理制御部 6 5 は、コンピュータシステムの中央演算処理装置の一部を構成しており、集中処理方式または分散処理方式のコンピュータシステムで実行される。

【 0 1 1 1 】

この処理制御部 6 5 は、第 1 および第 2 の露光マスクに配置される配線パターンを設計パターンデータ記憶部 6 2 から読み込んで、第 1 および第 2 の露光マスクに配置される配線パターンの中から、第 1 および第 2 のターゲットパターンを抽出するパターン抽出部 6 9 と、露光パラメータの変動に対してプロセス裕度が予め定めた基準値を満たすか否かを判定するパターン判定部 7 0 と、基準値を満たさないと判定されたパターンのプロセス裕度を拡大するようにパターンを補正するパターン補正部 7 1 と、補正後の設計パターンの必要な箇所に対して、OPCパターンを付与して、近接効果補正（OPC）をおこなう近接効果補正部 7 2 と、プロセス裕度が基準値より改善され、且つ、近接効果補正がなされた最終のパターンを露光マスク上に形成するための露光マスク描画データを作成するマク

ス描画データ作成部 73 から構成されている。

【0112】

これらのパターン抽出部 69、パターン判定部 70、パターン補正部 71、近接効果補正部 72、マクス描画データ作成部 73 は、ソフトウェアとしてプログラム格納部 63 に予め格納されており、その手順に従ってコンピュータシステムの中央演算処理装置にて実行されるが、専用のハードウェアで実行されるものでも構わない。

【0113】

以上説明したように、本発明のパターン作成システムによれば、複数の露光マクスに跨って形成され、且つ、近接して配置される配線パターン間の距離に応じたパターンの補正を行うことにより、プロセス裕度の高い配線パターンを有する露光マスクが得られる。

【0114】

(第 4 の実施の形態)

次に、本発明の第 4 の実施の形態に係わる半導体装置の製造方法について、図 11 を用いて説明する。本実施の形態の半導体装置の製造方法は、第 3 の実施の形態で示したパターン作成システムを用いて、半導体装置を製造する場合の例である。図 11 は、本発明の半導体装置の製造方法を示すフローチャートである。

【0115】

まず、製造する半導体装置の機能設計、論理回路設計およびレイアウトパターン設計が行われる (ステップ S71)。

【0116】

即ち、製造する半導体装置の目的や作用効果を実現するために必要な機能を明らかにし、その機能を生み出すためのロジック・メモリ、入出力インターフェイスなどの各部の機能と互いのつながりを設計する機能設計が行われる。

【0117】

次に、各部の機能および相互関係から具体的な電子回路を設計する論理回路設計が行われる。そして、各電子回路を半導体チップ上にどのように配置するかレイアウト設計が行われ、半導体ウェーハの一連の製造工程で使用する複数の露

光マスク上に配置される配線パターンがデザインルールを満たすように設計される。

【0118】

このレイアウトの設計パターンデータは、設計パターン記憶部に送られ、第1および第2の実施の形態で説明したプロセス裕度が基準値より少ない配線パターンを抽出して、プロセス裕度が基準値より広がるように配線パターンの補正が行われる。

【0119】

即ち、第1の露光マスクに配置される配線パターンの中から第1のターゲットパターンを抽出し（ステップS72）、第2の露光マスクに配置される配線パターンの中から第1のターゲットパターンと近接して配置される第2のターゲットパターンが抽出される（ステップS73）。

【0120】

次に、第1ターゲットパターンと第2ターゲットパターンのプロセス変動に対するプロセス裕度が予め与えられた基準値を満たさないパターンが抽出され（ステップS74）、プロセス裕度が広がるように第1または第2ターゲットパターンのエッジを移動してパターンが補正される（ステップS75）。

【0121】

次に、補正後の設計パターンの必要な部分に対して近接効果補正（OPC）パターンを付加して近接効果が補正される（ステップS76）。

【0122】

次に、全ての配線パターンに対してプロセス裕度がチェックされるまで上述した工程が繰り返される（ステップS77）。

【0123】

次に、プロセス裕度改善と近接効果補正がなされた最終パターンを露光マスク上に形成するための露光マスク描画データが作成され、これに基づいて露光マスクが製作される（ステップS78）。

【0124】

次に、半導体基板に対して絶縁膜、半導体膜、金属膜などの成膜工程、上述し

た露光マスクを用いたリソグラフィー工程、エッチング工程、イオン注入工程などを繰り返す一連のウェーハ製造工程（前工程）により、半導体ウェーハ上に半導体装置が一括して形成される。そして、ダイシング工程、ボンディング工程、検査工程（後工程）を経て、半導体装置が製造される（ステップS79）。

【0125】

以上説明したように、本発明の半導体装置の製造方法によれば、配線パターン間のプロセス裕度の高い露光マスクにより半導体基板へ配線パターンが転写できるので、高い歩留まりで半導体装置を製造することができる。

【0126】

【発明の効果】

以上説明したように、本発明によれば、複数の露光マスクに跨って配置される配線パターン間のプロセス裕度を向上し得るパターン作成方法、該パターン形成システムを提供することができる。また、該パターンを用いた半導体装置の製造方法によれば、高い歩留まりを提供することができる。

【図面の簡単な説明】

【図1】 本発明の第1の実施の形態に係わるパターン作成方法を示すフローチャート。

【図2】 本発明の第1の実施の形態に係わる露光マスクを示す図で、図2（a）は複数の露光マスクにそれぞれ形成されるパターンの要部を示す外観図、図2（b）は図2（a）の配線パターンを示す図。

【図3】 本発明の第1の実施の形態に係わる配線パターンを示す図。

【図4】 本発明の第1の実施の形態の変形例1に係わる配線パターンを示す図。

【図5】 本発明の第1の実施の形態の変形例2に係わる配線パターンを示す図。

【図6】 本発明の第1の実施の形態の変形例3に係わる配線パターンを示す図で、図6（a）は配線パターンの補正前の状態を示すレイアウト図、図6（b）は図6（a）に示した配線パターンの補正後の状態を示すレイアウト図。

【図7】 本発明の第2の実施の形態に係わるパターン作成方法を示すフローチャート。

ャート。

【図 8】 本発明の第 2 の実施の形態に係わるパターン作成方法を示すフローチャート。

【図 9】 本発明の第 2 の実施の形態に係わる配線パターンを示す図。

【図 1 0】 本発明の第 3 の実施の形態に係わるパターン作成システムを示すブロック図。

【図 1 1】 本発明の第 4 の実施の形態に係わる半導体装置の製造方法を示すフローチャート。

【図 1 2】 従来のパターン作成方法を示す概略フローチャート。

【図 1 3】 従来のパターン作成方法により補正された配線パターンを示す図。

【符号の説明】

1 1 第 1 の露光マスク

1 2、4 1、4 2 イオン注入パターン

1 2 a、1 2 b、1 2 c、1 2 d、4 1 a、4 1 b、4 1 c、4 1 d、4 2 a、4 2 b、4 2 c、4 2 d イオン注入パターンのエッジ

1 3 第 2 の露光マスク

1 4、3 4、3 8 ゲート配線パターン

1 4 a、1 4 b、3 4 a、3 4 b、3 8 a、3 8 b ゲート配線パターンのエッジ

1 5 第 3 の露光マスク

1 6、3 6、4 6、4 7、5 2、5 4 コンタクトホールパターン

1 6 a、1 6 b、1 6 c、1 6 d、3 6 a、3 6 b、3 6 c、3 6 d、4 6 a、4 6 b、4 6 c、4 6 d、4 7 a、4 7 b、4 7 c、4 7 d、5 2 a、5 2 b、5 2 c、5 2 d、5 4 a、5 4 b、5 4 c、5 4 d コンタクトホールパターンのエッジ

2 4 メタル配線パターン

2 4 a、2 4 b、2 4 c、2 4 d メタル配線パターンのエッジ

2 6 ビアホールパターン

2 6 a、2 6 b、2 6 c、2 6 d ビアホールパターンのエッジ

3 4 a、3 8 a ゲート配線パターンのエッジ

5 1、5 3 メタル電極パターン

5 1 a、5 1 b、5 1 c、5 1 d、5 3 a、5 3 b、5 3 c、5 3 d メタル電
極パターンのエッジ

6 1 パターン形成システム

6 2 補正処理制御部

6 3 設計パターンデータ記憶部

6 4 プログラム格納部

6 5 露光マスク描画データ記憶部

6 6 入出力制御部

6 7 出力部

6 8 入力部

6 9 パターン抽出部

7 0 パターン判定部

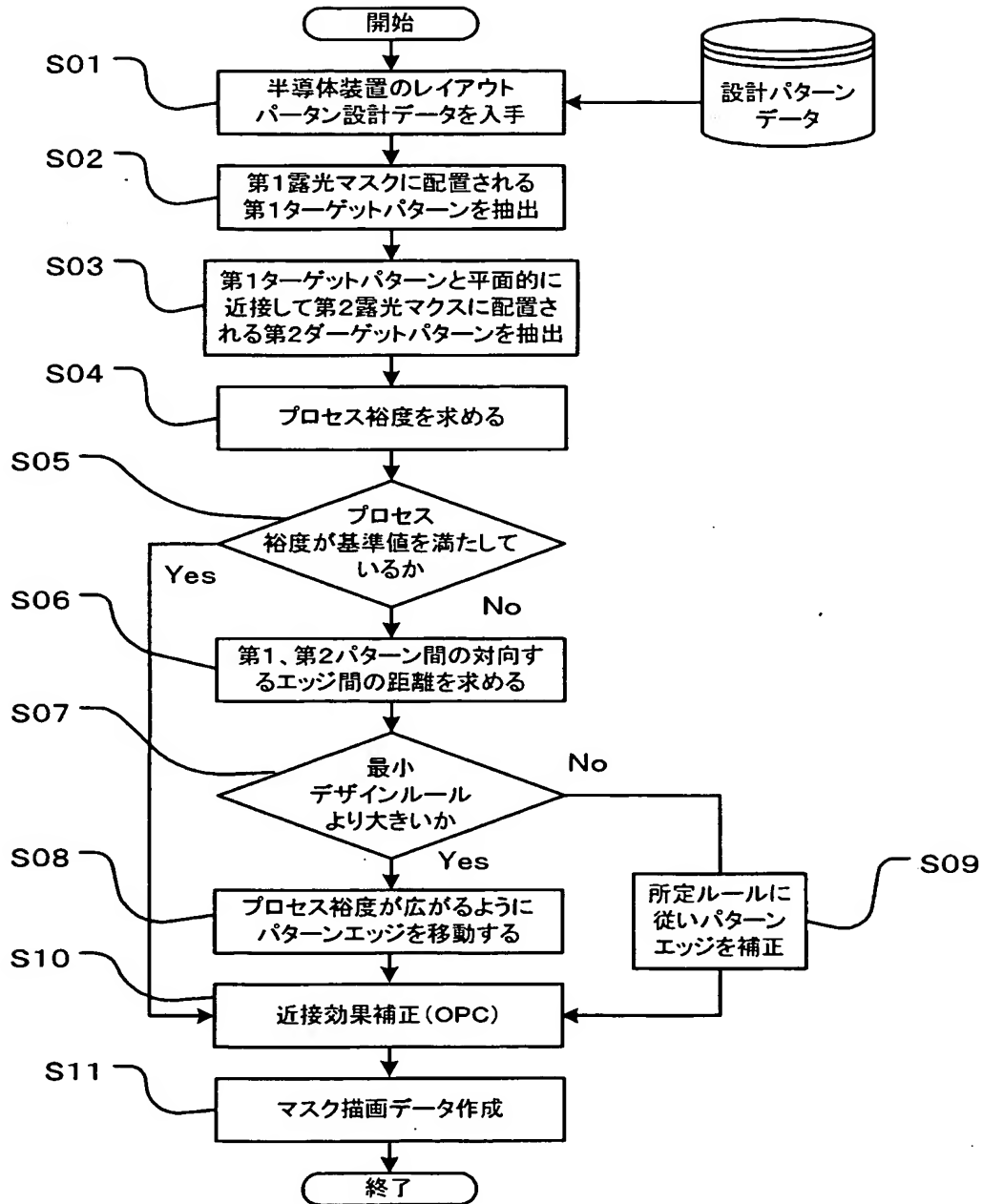
7 1 パターン変更部

7 2 近接効果補正部

7 3 露光マスク描画データ作成部

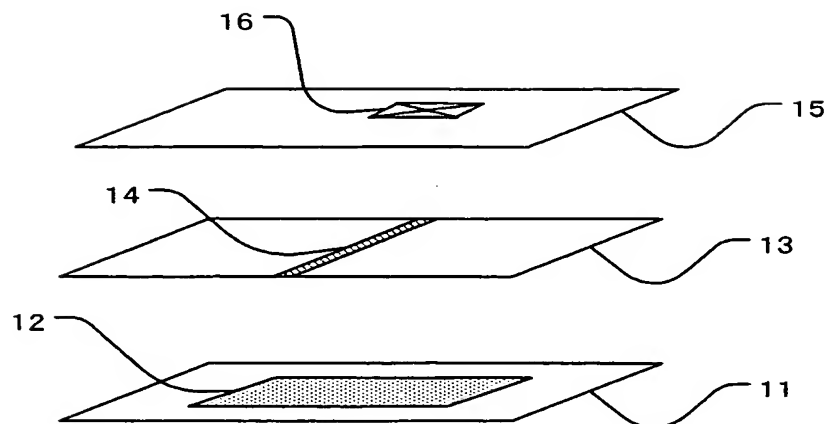
【書類名】 図面

【図 1】

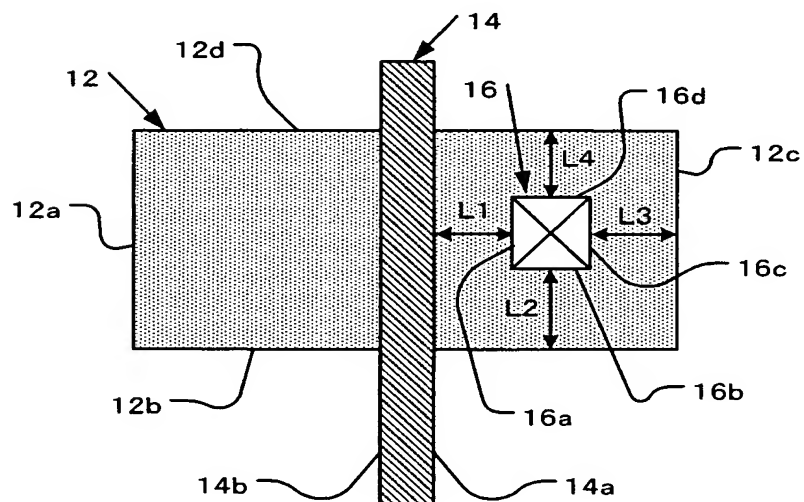


【図 2】

(a)



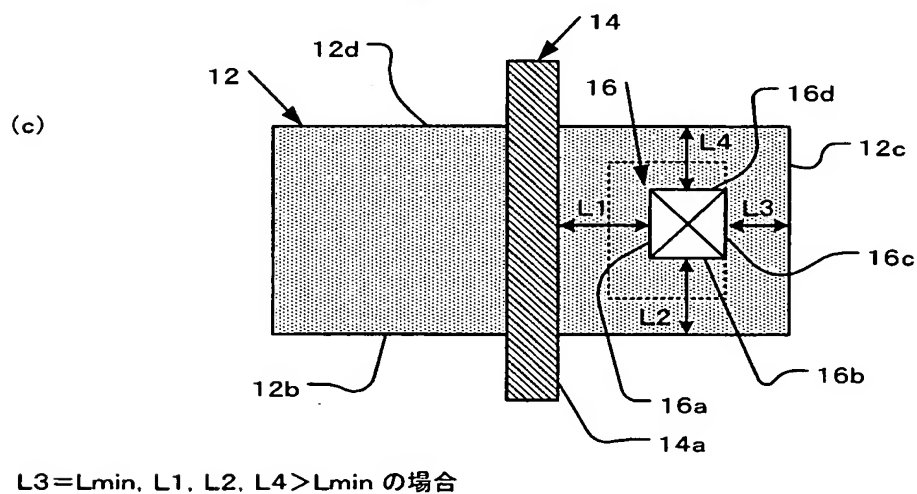
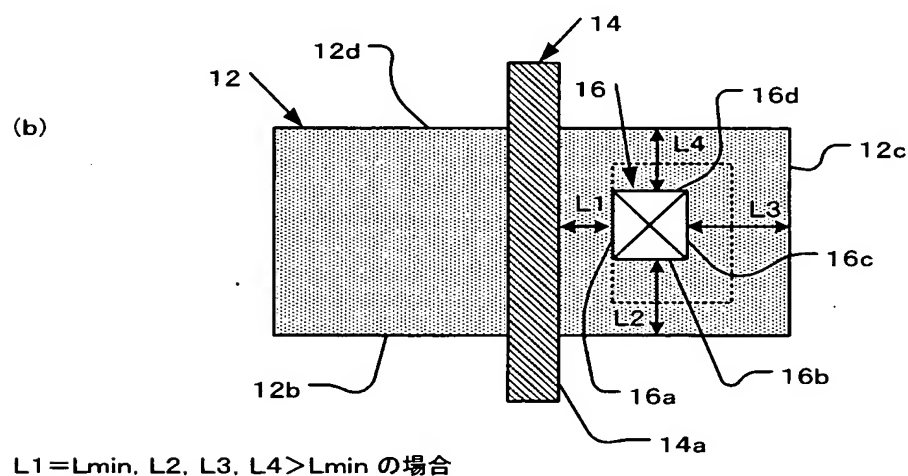
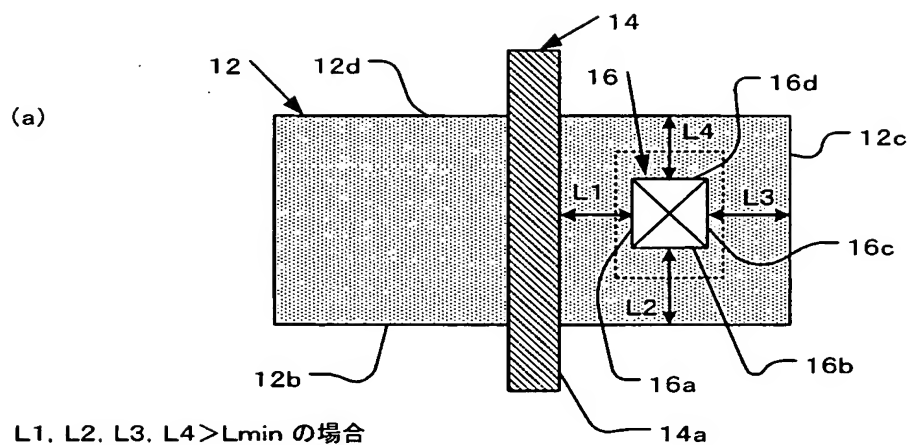
(b)



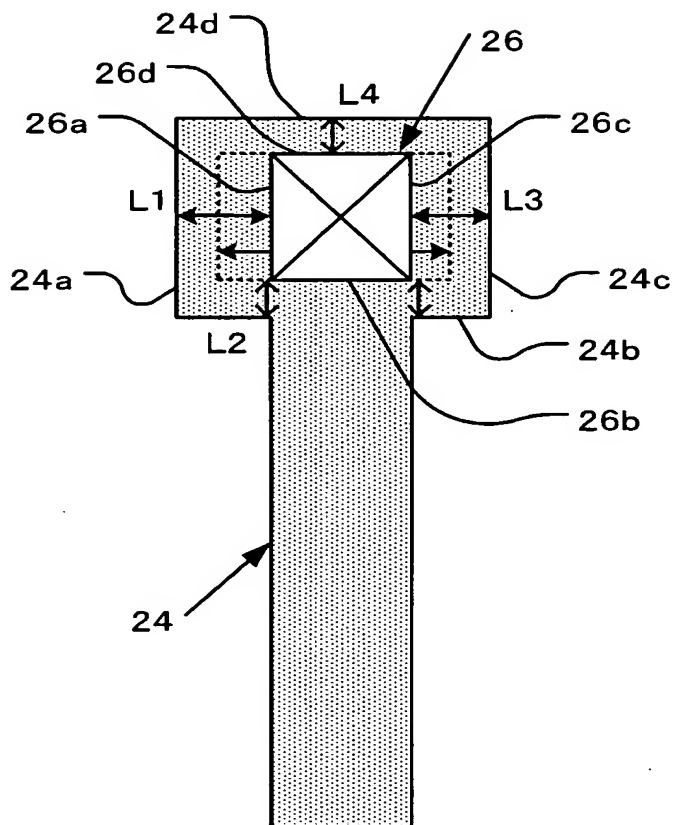
11...第1の露光マスク
 12...イオン注入パターン
 13...第2の露光マスク
 14...ゲート配線パターン
 15...第3の露光マスク
 16...コンタクトホールパターン

12a、12b、12c、12d...イオン注入パターンのエッジ
 14a、14b...ゲート配線パターンのエッジ
 16a、16b、16c、16d...コンタクトホールパターンのエッジ

【図 3】



【図 4】

 $L1, L3 > L2 = L4 = L_{min}$ の場合

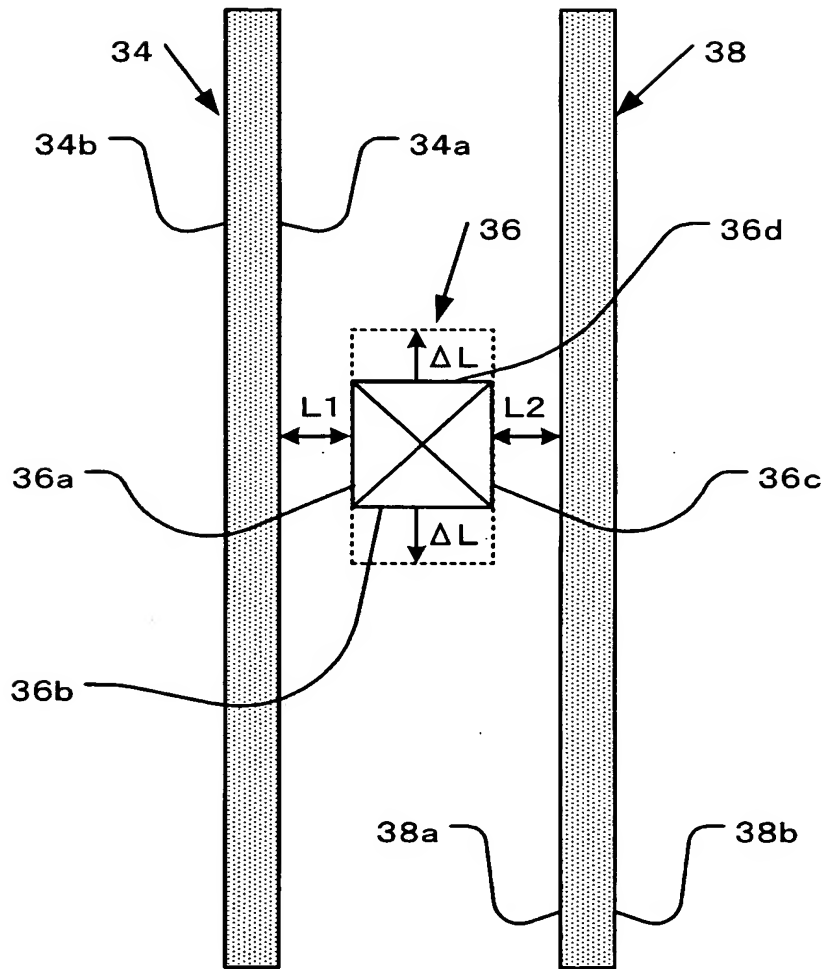
24...メタル配線パターン

24a、24b、24c、24d...メタル配線パターンのエッジ

26...ビアホールパターン

26a、26b、26c、26d...ビアホールパターンのエッジ

【図 5】

 $L1 = L2 = L_{min}$ の場合

34、38…ゲート配線パターン

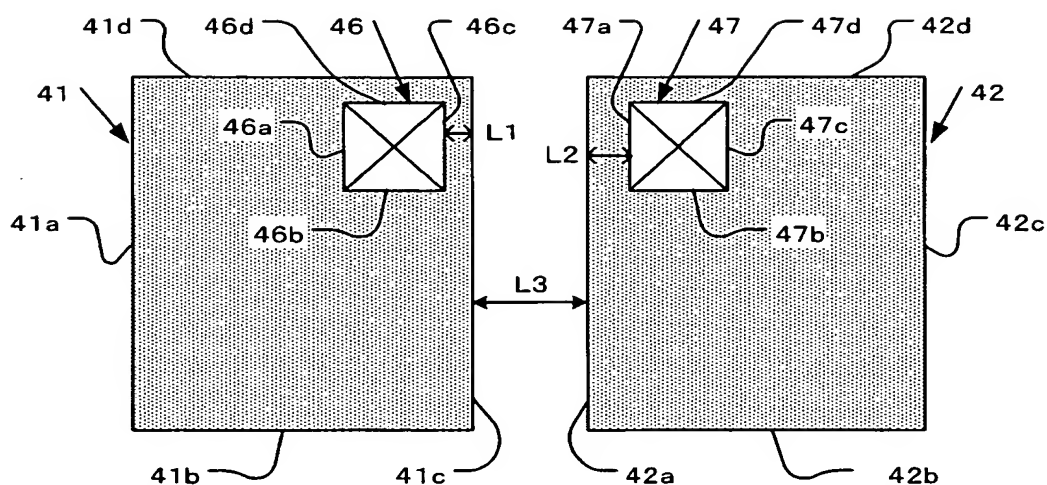
34a、34b、38a、38b…ゲート配線パターンのエッジ

36…コンタクトホールパターン

36a、36b、36c、36d…コンタクトホールパターンのエッジ

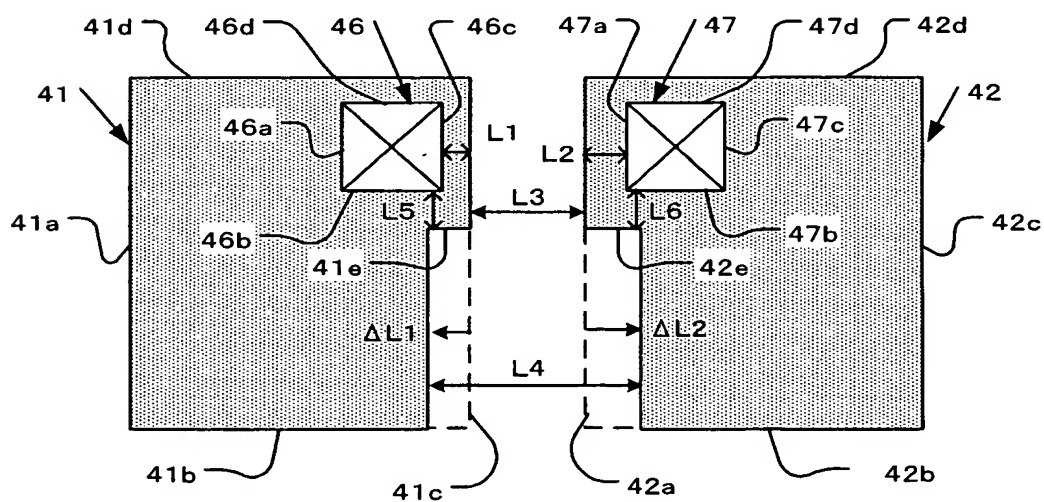
【図 6】

(a)



(b)

L1=L2=Lminの場合



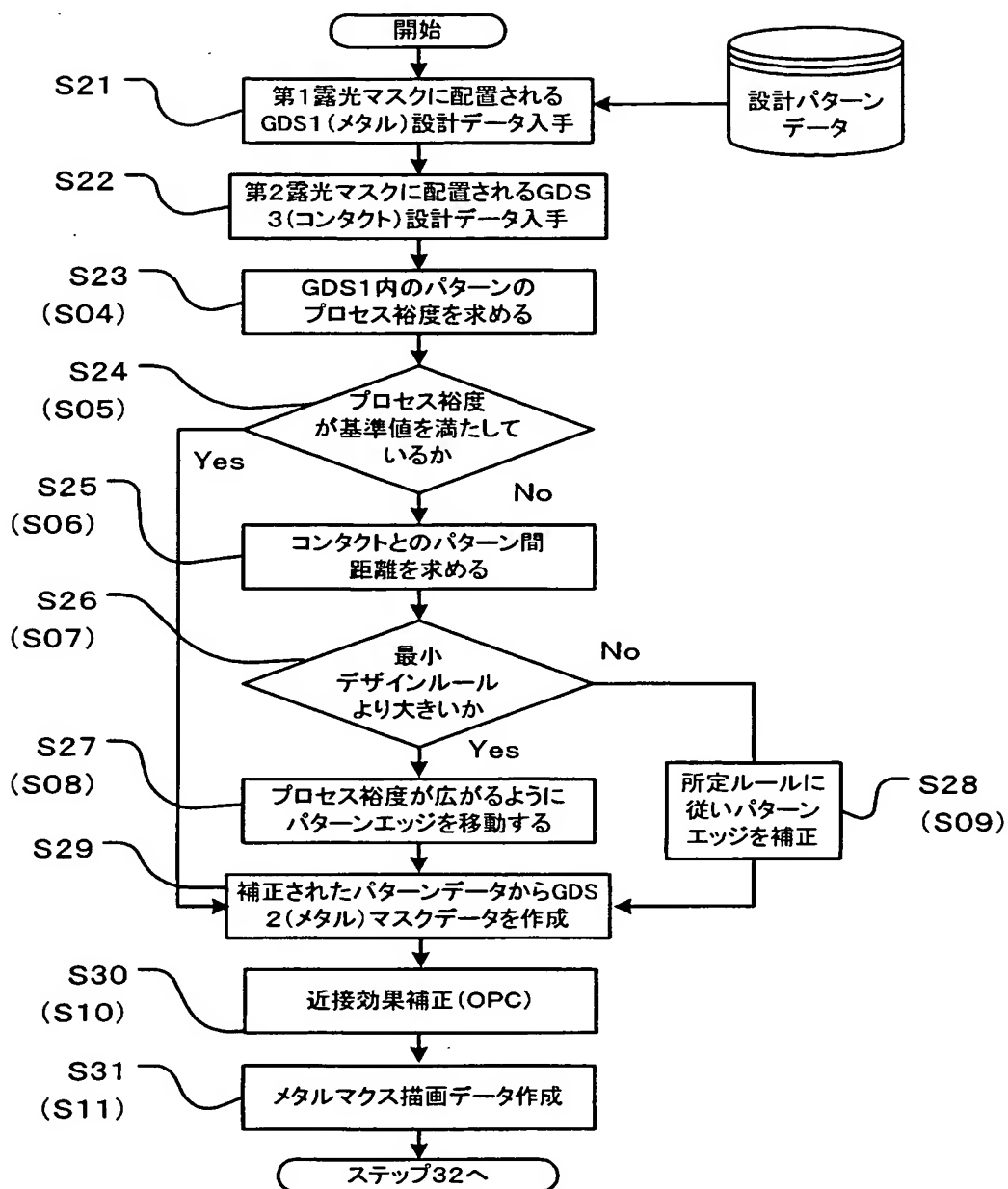
41、42…イオン注入パターン

41a、41b、41c、41d、41e、42a、42b、42c、42d、42e…イオン注入パターンのエッジ

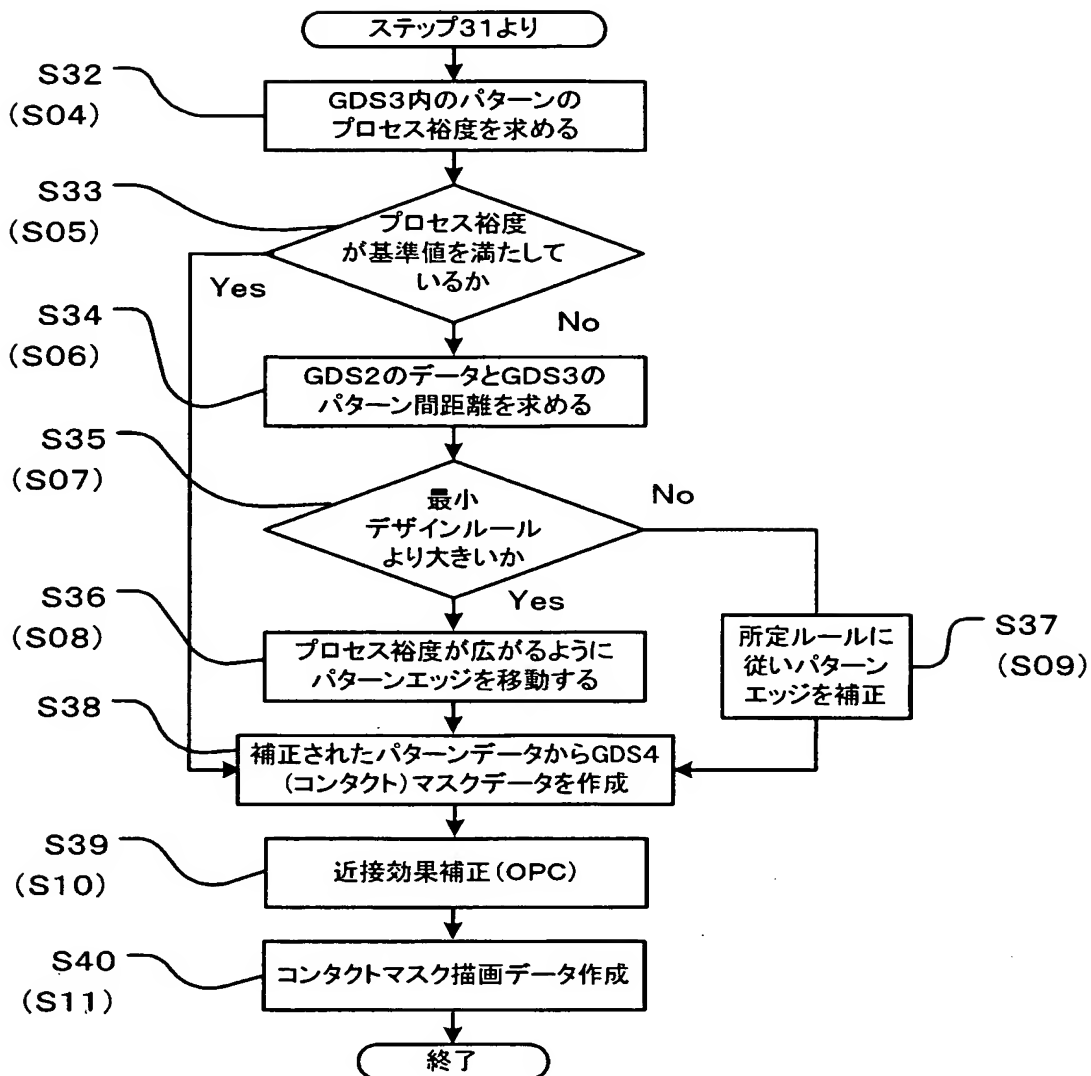
46、47…コンタクトホールパターン

46a、46b、46c、46d、47a、47b、47c、47d…コンタクトホールパターンのエッジ

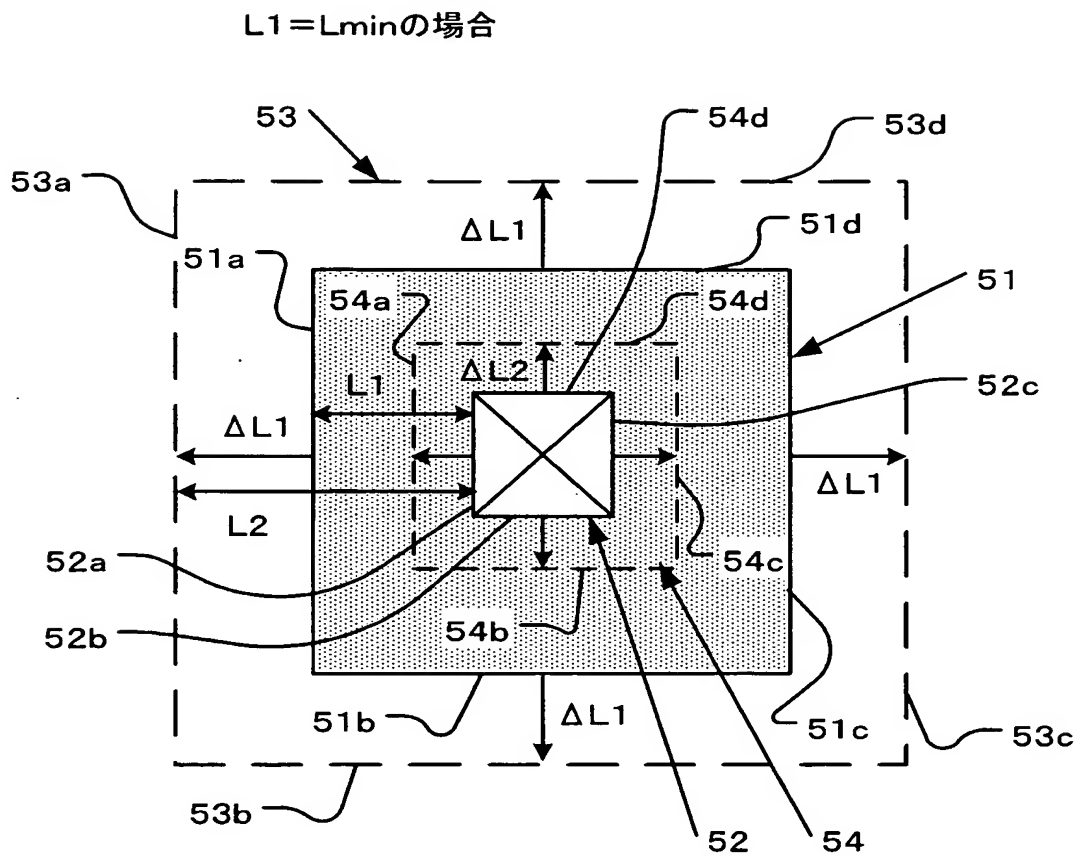
【図 7】



【図 8】

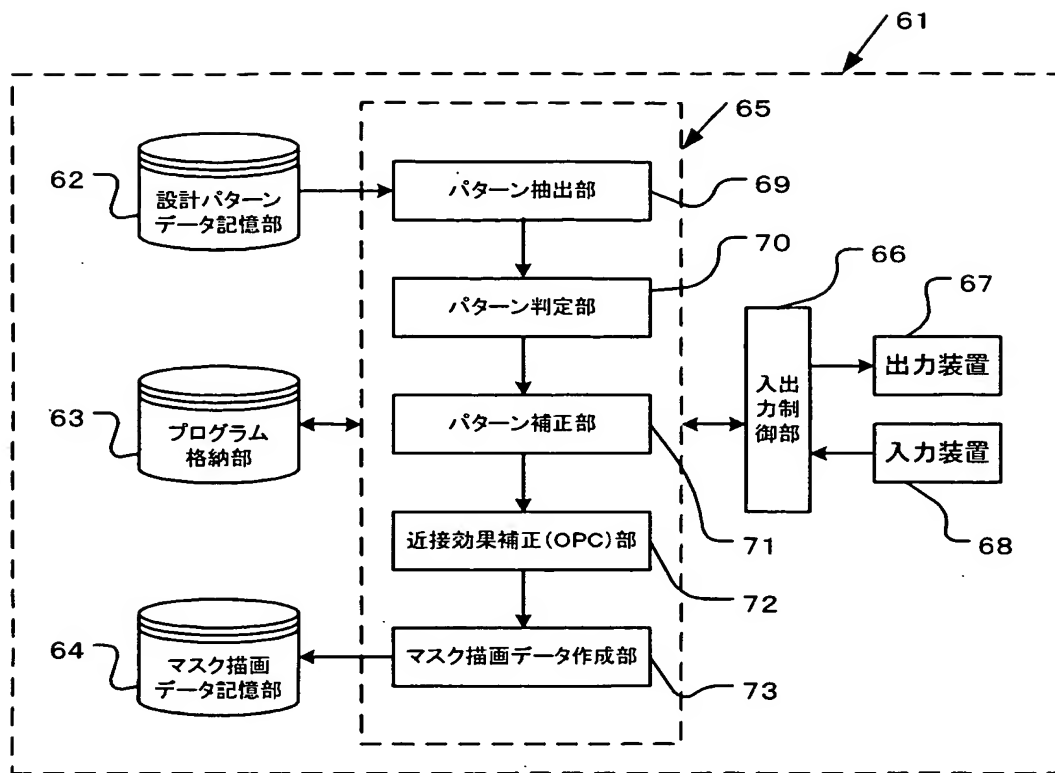


【図 9】



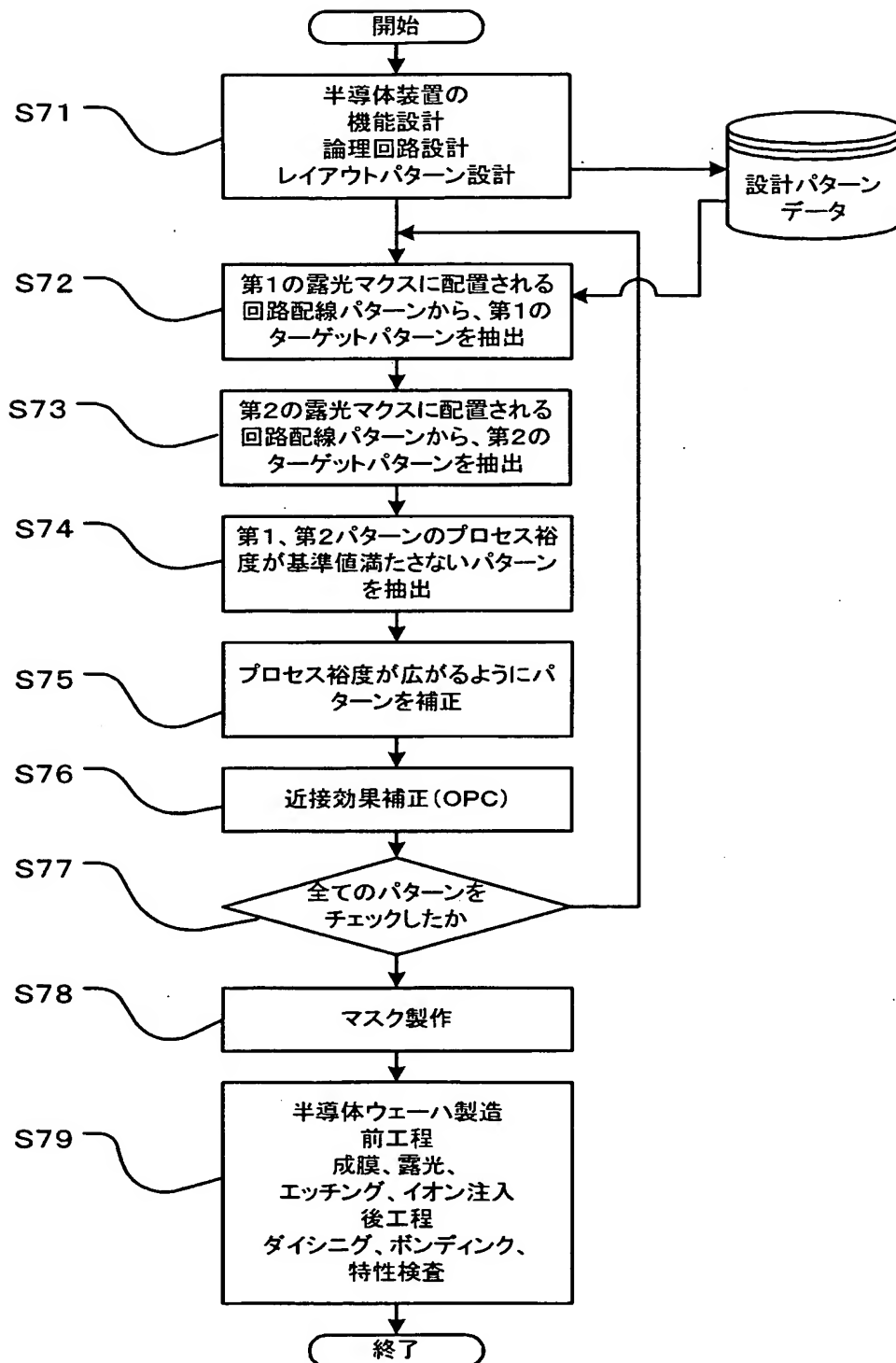
- 51・・・メタル電極パターン
- 51a、51b、51c、51d・・・メタル電極パターンのエッジ
- 52・・・コンタクトホールパターン
- 52a、52b、52c、52d・・・コンタクトホールパターンのエッジ
- 53・・・補正後のメタル電極パターン
- 53a、53b、53c、53d・・・補正後のメタル電極パターンのエッジ
- 54・・・補正後のコンタクトホールパターン
- 54a、54b、54c、54d・・・補正後のコンタクトホールパターンのエッジ

【図 10】

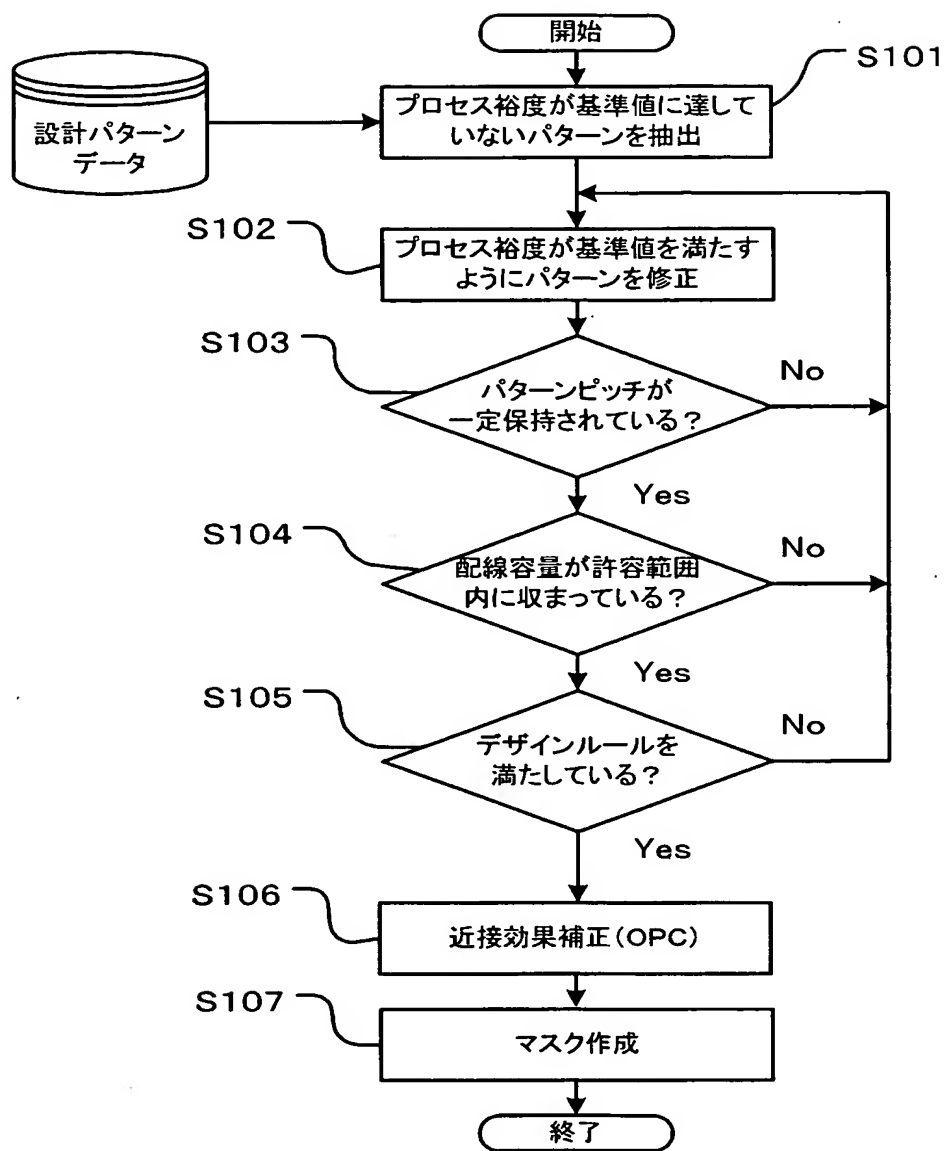


61・・・パターン形成システム
65・・・処理制御部

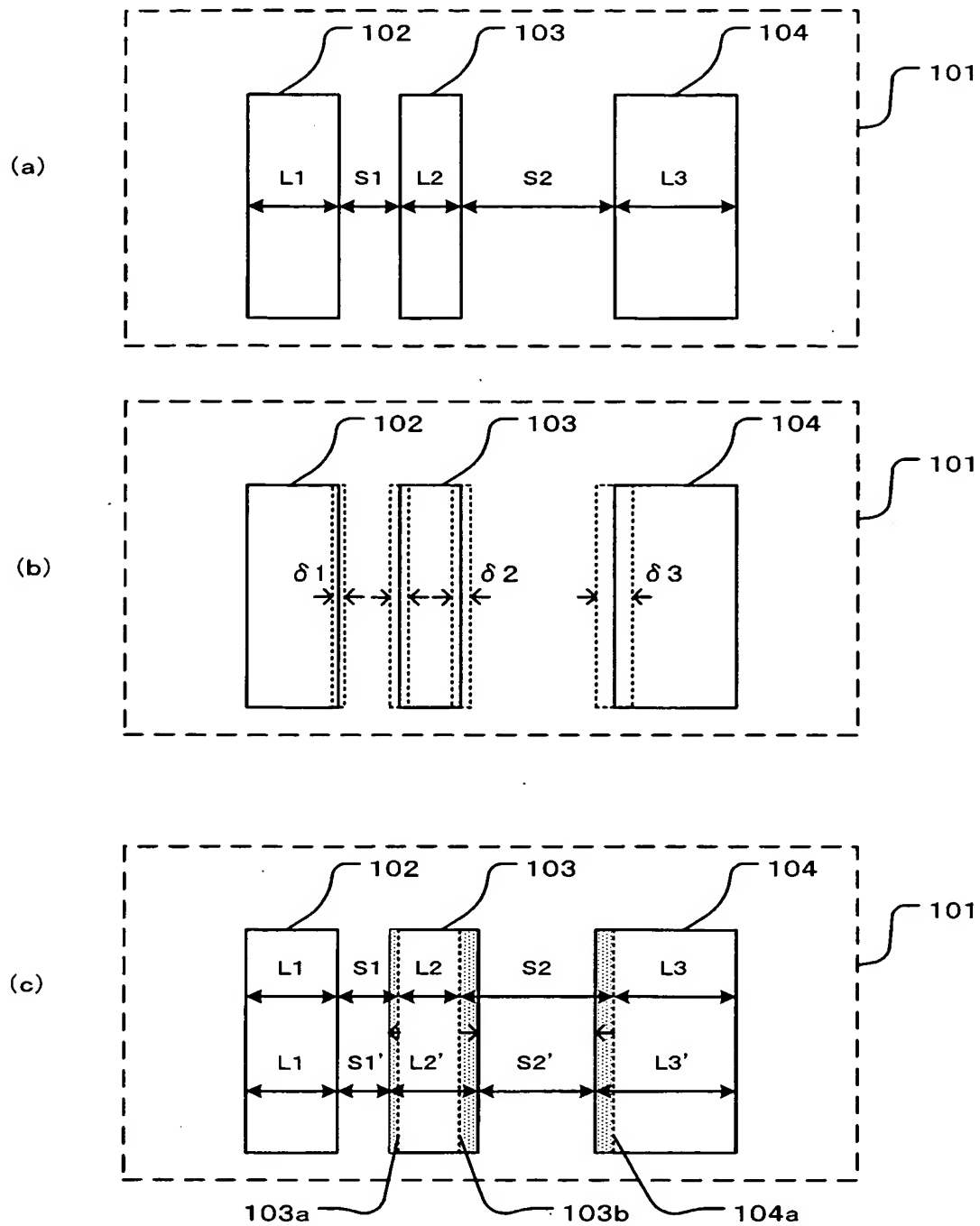
【図 11】



【図 12】



【図 13】



101...マスク
 102、103、104...配線パターン
 103a、103b、104a...エッジ

【書類名】 要約書

【要約】

【課題】 複数の露光マスクに跨って配置される配線パターン間のプロセス裕度を向上させる。

【解決手段】 第 1 の露光マスクに配置される配線パターンから第 1 のターゲットパターンを、また第 2 の露光マスクに配置される配線パターンから第 1 のターゲットパターンと近接して配置される第 2 のターゲットパターンをそれぞれ抽出 (S02, S03) 、次に、第 1 および第 2 のターゲットパターンが、露光量と焦点距離の変動に対するプロセス裕度の基準値を満たすか否かを判定する (S05) 、そして、この基準値を満たさない場合には、この基準値を満たすように第 1 および第 2 のターゲットパターンのいずれか一方、または両方のターゲットパターンを移動する (S08) 。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 1 1 0 2 5 4
受付番号	5 0 3 0 0 6 2 1 8 5 5
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 5 年 4 月 1 6 日

< 認定情報・付加情報 >

【提出日】 平成15年 4月15日

次頁無

特願 2 0 0 3 - 1 1 0 2 5 4

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 3 0 7 8]

1. 変更年月日	2 0 0 1 年 7 月 2 日
[変更理由]	住所変更
住 所	東京都港区芝浦一丁目 1 番 1 号
氏 名	株式会社東芝